

Para todos los problemas del enunciado, si es necesario hacer suposiciones, deberán estar indicadas claramente, por escrito. Las mismas, serán consideradas parte integral de tu respuesta en el momento de la corrección.

1. Pasar a assembly MIPS, dibujando detalladamente el *stack frame* asociado a `ebcdic2ascii()`:

```
/* EBCDIC-to-ASCII tables:
   These tables are bijective - there are no ambiguous or duplicate
   characters.
*/
const unsigned char os_toascii[256] = {
/*00*/ 0x00, 0x01, 0x02, 0x03, 0x85, 0x09, 0x86, 0x7f,
        0x87, 0x8d, 0x8e, 0x0b, 0x0c, 0x0d, 0x0e, 0x0f,
/* ... */
};

/* Translate a memory block from EBCDIC (host charset) to ASCII
 * (net charset) dest and srce may be identical, or separate memory
 * blocks, but should not overlap. These functions intentionally
 * have an interface compatible to memcpy(3).
*/

API_EXPORT(void *)
ebcdic2ascii(void *dest, const void *srce, size_t count)
{
    unsigned char *udest = dest;
    const unsigned char *usrce = srce;

    while (count-- != 0) {
        *udest++ = os_toascii[*usrce++];
    }

    return dest;
}
```

2. Un procesador de 32 bits está conectado a un cache completamente asociativo de cuatro líneas de capacidad, cada una almacenando una palabra de 32 bits, más los bits *dirty* y *valid*. El cache utiliza reemplazo LRU. Los tiempos de acceso son de 5 ns y 50 ns para acierto y desacierto, respectivamente.

- a) ¿Cuál es el hit rate necesario para obtener un tiempo de acceso promedio de 14 ns?
~~b)~~ Si el procesador produce direcciones de byte de 32 bits $A[31:0]$, ¿cuáles de estos bits son comparados con los tags almacenados en el cache?
~~c)~~ ¿Cuántas de estas comparaciones son realizadas simultáneamente para cada acceso a memoria?

Asumiendo que los cache misses son dirigidos hacia una tabla de páginas lineal, el tamaño de página es de 2^{14} bytes, el sistema utiliza reemplazo de páginas LRU y tiene una memoria física de 2^{20} bytes:

- ~~d)~~ ¿Cuáles de los bits de dirección son utilizados para seleccionar la PTE?
~~e)~~ ¿Cuántas PTE hay?
~~f)~~ ¿Cuántos bits hay en una PTE? Incluir los bits *resident* y *dirty*.
~~g)~~ ¿Cuántas páginas de memoria física hay?

En el cuadro 1 se muestra una porción del contenido de la tabla de páginas, con todos los números en hexadecimal. R y D son los bits *resident* y *dirty*, respectivamente.

Asumiendo que el procesador implementa una ISA MIPS, y se ejecuta una instrucción `sw $t1, 0($t2)`, donde `$t2` vale `0x01f210`:

- ~~h)~~ ¿A qué dirección física se escribe? Dar la dirección en hexadecimal, o responder *desconocida* si no es posible determinar la dirección.

VPN	R	D	PPN
0	0	0	7
1	1	1	9
2	1	0	0
3	0	0	5
4	1	0	6
5	0	0	3
6	1	1	2
7	1	0	4
8	1	0	1
...

Cuadro 1: tabla de páginas del ejercicio 2.

- a) ¿Qué bits en la tabla de páginas, si es que hay alguno, son cambiados por la ejecución de la instrucción mencionada?
3. Se necesita elegir un microprocesador empotrado para una tarea que requiere realizar una cierta cantidad de operaciones de punto flotante. Un procesador que se está evaluando no posee unidad de punto flotante, y debe emular estas operaciones utilizando aritmética de enteros. Al correr el benchmark representativo de la tarea a realizar, el microprocesador en cuestión registró una tasa de 120 MIPS. También se está considerando agregar un coprocesador compatible que ejecutaría las operaciones de punto flotante directamente en hardware. La combinación procesador/coprocesador registra 80 MIPS en el mismo benchmark. Sean
- I : La cantidad de instrucciones de tipo entero a ejecutar en el benchmark.
 - F : La cantidad de instrucciones de punto flotante a ejecutar en el benchmark.
 - Y : Cantidad de instrucciones de tipo entero necesarias para emular una instrucción de punto flotante.
 - W : Tiempo que tarda la ejecución del benchmark en el procesador solo.
 - B : Tiempo que tarda la ejecución del benchmark en la combinación. procesador/coprocesador.
- a) Escriba la ecuación que determina los MIPS de cada configuración utilizando los símbolos recién dados.
- b) Para la combinación sin el coprocesador, medimos que $F = 8 * 10^6$, $Y = 50$, y $W = 4$ seg. Encuentre I .
- c) ¿Cuál es el valor de B ?
- d) ¿Cuál es la tasa de MFLOPS del sistema con el coprocesador?
- e) Su colega propone usar el sistema con el coprocesador, a pesar de que su tasa de MIPS es menor. ¿Tiene sentido? ¿Por qué?
4. Se dispone de una computadora con cache L1 split, de la que se desconoce el tamaño de línea, la cantidad de vías y el tamaño total del cache. Asumiendo que podemos correr programas arbitrarios durante tiempos extendidos, de manera de obviar los desaciertos (misses) por *warm-up*, y podemos conseguir una medición precisa de la tasa de desaciertos, y queremos determinar los parámetros del cache de datos,
- a) ¿Cómo haría para determinar el tamaño de línea?
- b) Asumiendo que conoce el tamaño de línea, ¿cómo haría para determinar el tamaño total del cache?
- c) Asumiendo que conoce el tamaño total del cache, ¿cómo haría para determinar la asociatividad del cache?