



66.01 Técnica Digital

Cardiómetro

Albani Francisco	84891
Figuroa Gonzalo	84255

1.^{er} cuatrimestre 2006

Índice

1. Introducción	2
2. Análisis del Modelo	3
2.1. Aspecto Matemático	3
2.2. Algoritmo	4
3. Diseño	5
3.1. Descripción de la parte digital	5
3.2. Descripción de la parte analógica	6
4. Implementación	8
4.1. Clock f_c	8
4.2. Contador n_c	8
4.3. Memoria n_c	9
4.4. Delay	9
4.5. Integración de los módulos anteriores	10
4.6. Memoria de Operación	10
4.7. Comparador	10
4.8. Restador	11
4.9. Habilitador J-K	11
4.10. Integración de los módulos aritméticos	13
4.11. Contador $l.p.m.$	13
4.12. Display	13
4.13. Integración de los módulos de salida	14
5. Errores e incertezas	15
5.1. Contador n_c	15
5.2. Módulos aritméticos	16
6. Conclusión	18

1. Introducción

El objetivo del trabajo es interiorizar los conocimientos adquiridos durante la cursada de la materia sobre circuitos digitales mediante el diseño e implementación de un dispositivo digital que sea capaz de realizar alguna tarea útil.

El dispositivo elegido para diseñar e implementar digitalmente fue uno capaz de medir las pulsaciones por minuto de una persona a través de un micrófono e informarlas con un display numérico. La naturaleza del mismo es muy similar a la de un frecuenciómetro, con la diferencia que este estará adaptado a los rangos comunes de frecuencia cardíaca. Es por esto que lleva el nombre de Cardiómetro.

2. Análisis del Modelo

2.1. Aspecto Matemático

El sistema estudiado se considera como un espacio lineal en el cual tienen lugar sucesos. Cada uno de estos sucesos se identifica con un latido. Para obtener la frecuencia f con la que estos sucesos se dan, es necesario de alguna manera conocer el tiempo T que transcurre entre cada uno, también llamado período. Para medir este tiempo, se utiliza una fuente con una frecuencia fija conocida f_c que se activa a la llegada de un latido y se detiene en la llegada del próximo. Durante ese intervalo, se almacena en un contador la cantidad de eventos generados por esta fuente para luego dividirlo por la frecuencia conocida y obtener el período.

Matemáticamente:

$$\begin{array}{l} \frac{f_c}{Hz} \text{ ————— } 1s \\ n_c \text{ ————— } \frac{n_c}{f_c} \\ \left[\frac{n}{f_c} \right] = \textit{segundos} \\ \frac{n_c}{f_c} \text{ ————— } 1 \textit{ latido} \\ 60s \text{ ————— } \textit{l.p.m.} \end{array}$$

Entonces:

$$\textit{l.p.m.} = \frac{60f_c}{n_c} \frac{1}{Hz}$$

Donde:

- f_c es la frecuencia fija conocida (Hz).
- n_c es la cantidad de eventos generados por la fuente de frecuencia fija conocida entre cada latido (adimensional).
- $\textit{l.p.m.}$ es la cantidad de latidos por minuto (adimensional).

Debido a la dificultad que supone realizar divisiones en un circuito lógico, las mismas se reemplazan por restas sucesivas según el siguiente desarrollo:

$$\begin{array}{l} \frac{x}{y} = n \\ x = ny \\ x - ny = 0 \end{array}$$

A partir del último resultado, podemos decir que si le restamos y , n veces a x , llegaremos a 0. Como solamente podemos realizar la resta una cantidad

entera de veces, el resultado no siempre será exacto. Esto sucederá únicamente cuando x e y sean múltiplos.

En nuestro caso particular, x e y son enteros. Cuando no sean múltiplos, el resto de la división será mayor a 0 y menor a y lo que no permitirá seguir realizando restas enteras. El error cometido por esta imposibilidad dependerá de la posición que tenga el resto entre 0 e $(y - 1)$ y a partir de lo siguiente se ve nunca será mayor a 1:

Dada la división $\frac{a}{b}$, se consideran a x como el cociente real, a n como el cociente entero y a R como el resto de la división entera, de tal manera que $x = \frac{a}{b}$ y $a = nb + R$. Si proponemos a n como una aproximación del resultado real ($n = \frac{a-R}{b}$) podemos ver que el error absoluto $|x - n|$ siempre será menor que 1, lo que en principio supone una muy buena aproximación. Demostración:

$$|x - n| = \left| \frac{a}{b} - \frac{a - R}{b} \right| = \left| \frac{a - a + R}{b} \right| = \left| \frac{R}{b} \right| < 1$$

2.2. Algoritmo

Habiendo mostrado el aspecto matemático del modelo, se procede a continuación a describir el algoritmo del circuito:

1. Se almacena la cantidad de eventos n_c generados por la fuente de frecuencia f_c entre el último latido y el anterior.
2. Se toma el valor $60f_c$, se le resta n_c y se incrementa en 1 el valor de $l.p.m.$.
3. Se toma el valor resultante de la resta anterior, se le resta n_c y se incrementa en 1 el valor de $l.p.m.$.
4. Se repite el paso anterior mientras que $60f_c \geq n_c$.
5. Se detiene el algoritmo y se dispone del valor $l.p.m.$ final.

3. Diseño

El circuito está dividido en una parte analógica y una parte digital. La primera es la encargada de procesar los latidos provenientes del micrófono y transformarlos en pulsos digitales. La segunda toma dichos pulsos y realiza todos los cálculos necesarios para poder mostrar en un display el resultado. Además dispone de un módulo capaz de simular un pulso de entrada con el fin de realizar pruebas controladas sobre el circuito. Esto último también nos permite no depender de la parte analógica, cuya realización y entendimiento no forma parte de los objetivos de este trabajo.

3.1. Descripción de la parte digital

A continuación se presenta un esquema de los módulos y las relaciones entre ellos de manera de hacer más fácil la explicación posterior:

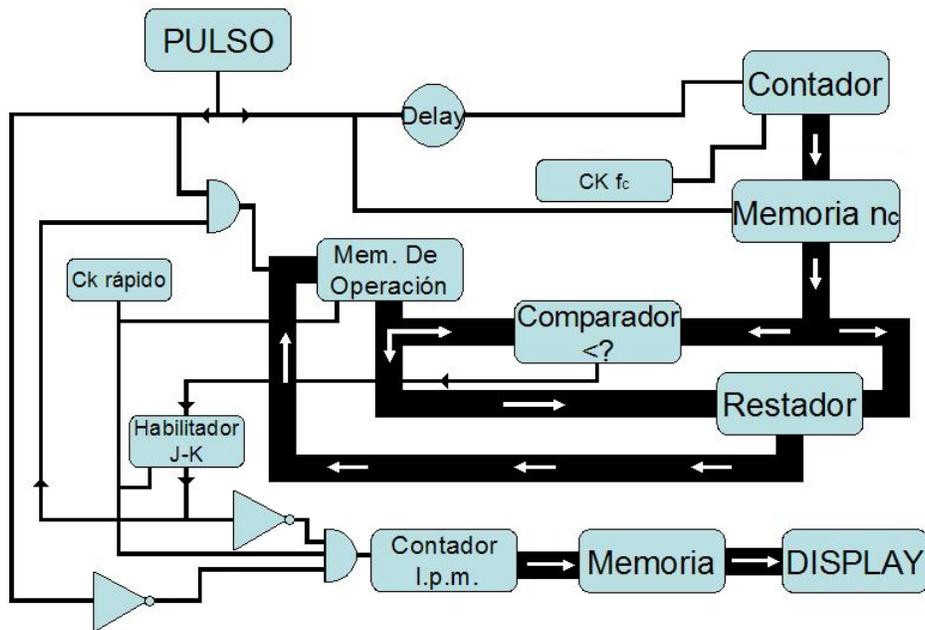


Figura 1: Esquema de los módulos.

El contador conectado al clock de frecuencia f_c está en continuo funcionamiento y se reinicia cada vez que llega un pulso. Antes de esto, se guarda una copia de su valor a la memoria sincrónica n_c . Como bien se ve en el gráfico, existe un retraso que asegura que el pulso llegue primero al clock de la memoria n_c y luego al reset del contador. El valor almacenado será el *restando* de las restas sucesivas que tendrán lugar a continuación.

La llegada del pulso también inicializa la memoria de operación en su valor inicial $60f_c$. Esta memoria, jugará el papel del minuendo de las restas sucesivas, y para cada una tendrá un valor distinto que será el resultado de la resta anterior. La actualización del valor estará determinada por el clock *rápido* y será tomado de la salida del restador. Este clock, combinado con otras condiciones, también activará el contador *l.p.m.*, almacenándose ahí la cantidad de restas efectuadas. Una de esas otras condiciones estará dada por el resultado del comparador de tal manera que cuando no se pueda hacer más la resta, se deje fijo el contador *l.p.m.* para luego mostrar su valor en el display.

3.2. Descripción de la parte analógica

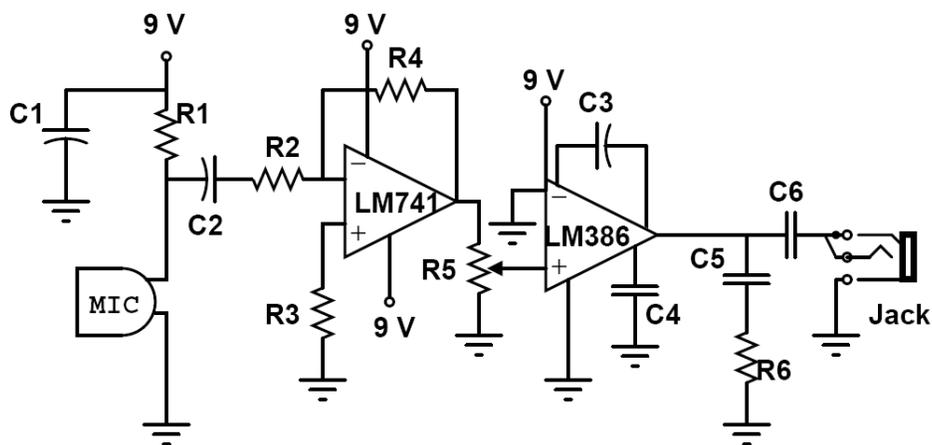


Figura 2: Esquemático de la parte analógica.

El esquemático esta comprendido por un de filtro activo LM741, que se encarga de filtrar la señal de sonido que es recogida por el micrófono y se entrega al amplificador de audio LM836, quien se encarga de su optimización.

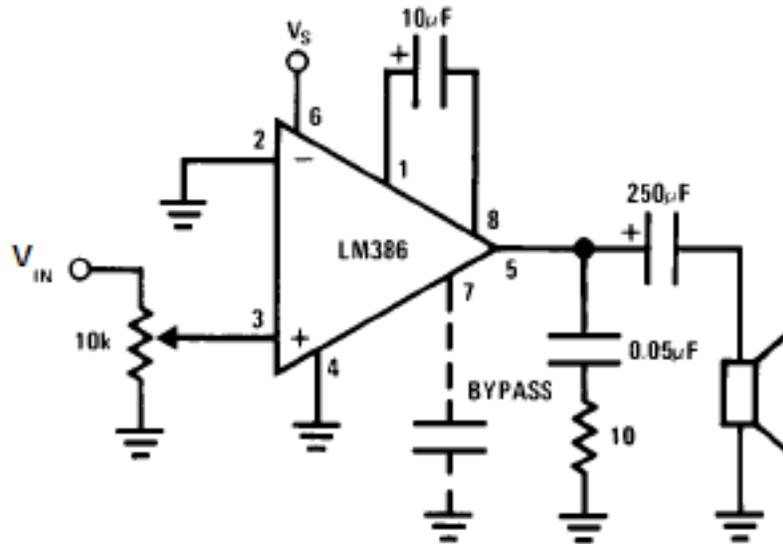


Figura 3: Amplificador LM386.

Este amplificador está diseñado para ser usado en aplicaciones cuya alimentación esté dada por un voltaje bajo ($4V - 18V$). Su ganancia está setada en 20 db pero la adición de un capacitor de $10\mu F$ entre los pins 1 y 8 multiplica por 10 dicha ganancia. Esta cualidad es una de las responsables de la elección del amplificador.

4. Implementación

En esta sección se describe el aspecto técnico de los módulos más relevantes del esquema.

4.1. Clock f_c

La precisión de la medida del tiempo transcurrido entre un latido y otro, depende de la frecuencia de este clock. Para que el error no sea apreciable, esta deberá ser de un orden mayor que la frecuencia del ritmo cardíaco ($\approx 1Hz$). Si bien trabajar con una frecuencia muy alta, supondría una gran precisión, encontraríamos una nueva imposición dada por la capacidad del contador al cual esta conectado.

La frecuencia elegida es de aproximadamente $14Hz$.

Este clock, como así también todos los utilizados, esta implementado con compuertas Schmitt Trigger (código comercial 4093).

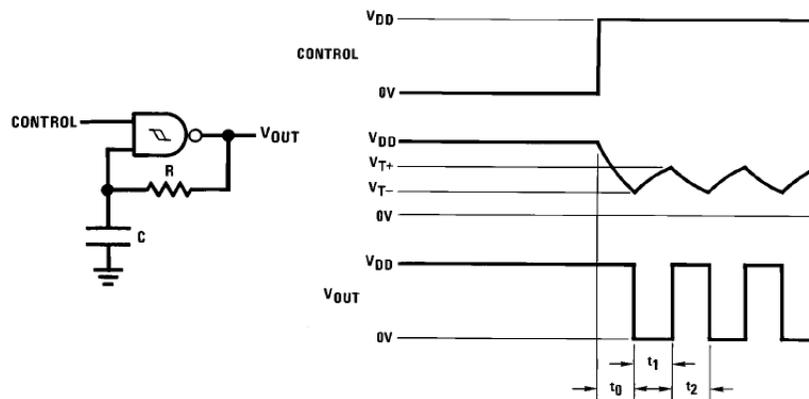


Figura 4: Es posible obtener un oscilador a partir de un Schmitt trigger conectándolo a una red RC donde el capacitor se conecta entre una de las entradas y tierra y el resistor se conecta entre la salida y la misma entrada. La Salida será una onda cuadrada continua cuya frecuencia dependerá de los valores de R y C, y también del umbral del Schmitt Trigger.

4.2. Contador n_c

A la hora de determinar la capacidad necesaria de este contador, se tuvo en cuenta el rango cardíaco normal (60 – 180 l.p.m.) y la frecuencia f_c .

$$l.p.m. = \frac{60f_c}{n_c} \frac{1}{Hz}$$

$$n_c = \frac{60f_c}{l.p.m.} \frac{1}{Hz}$$

Para $l.p.m. = 60$:

$$n_c = \frac{60f_c}{60} \frac{1}{Hz} = 14$$

Para $l.p.m. = 180$:

$$n_c = \frac{60f_c}{180} \frac{1}{Hz} = \frac{14}{3} = 4.\widehat{6}$$

A partir de estos resultados, se concluye que con un contador binario de 4 bits, cuyo rango va desde 0 a 15, será suficiente.

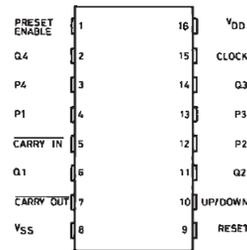


Figura 5: *Contador Binario de 4 Bits 4516. Este contador consiste en 4 flip-flops D conectados de manera sincrónica.*

4.3. Memoria n_c

Se utilizó un integrado, cuyo código comercial es 40174, de 6 flip-flops D de los cuales solo se utilizan 4, que son los necesarios para persistir el valor del contador n_c durante las restas sucesivas.

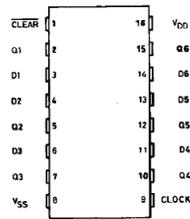


Figura 6: *Memoria de 6 Bits 40174.*

4.4. Delay

Para retrasar el pulso se optó por poner dos negadores en serie. De esta manera, se obtiene un retraso de $180ns$, según las especificaciones.

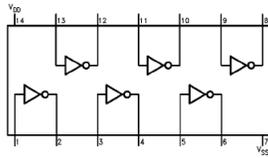


Figura 7: Integrado de 6 negadores 4069.

4.5. Integración de los módulos anteriores

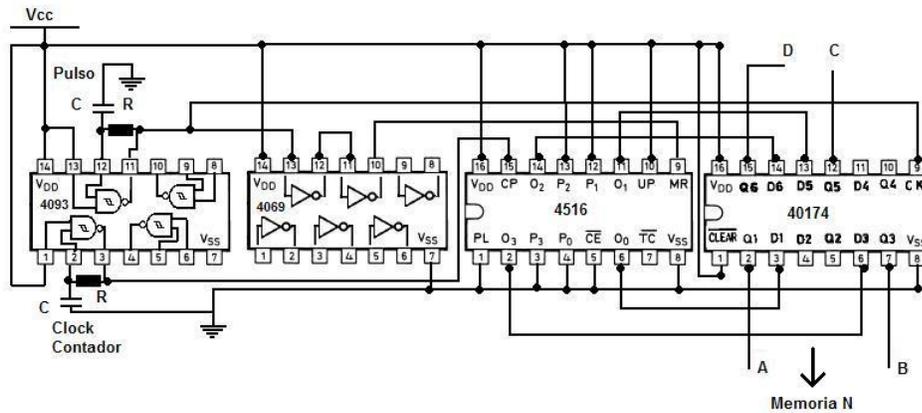


Figura 8: Esquemático donde se muestran los módulos responsables de la medición de tiempo entre pulsos.

4.6. Memoria de Operación

Considerando que $60f_c$ será un número de 10 bits, se utilizaron dos memorias 40174 de 6 bits cada una. Debido a que esta memoria puede ser cambiada por dos caminos distintos (restador y valor inicial), a cada uno de los bits de su entrada se le asigna la salida de una compuerta OR que permite realizar esta conjunción.

4.7. Comparador

Los números involucrados en las comparaciones exigían utilizar 12 bits. Se utilizaron tres chips 74LS85 de 4 bits cada uno.

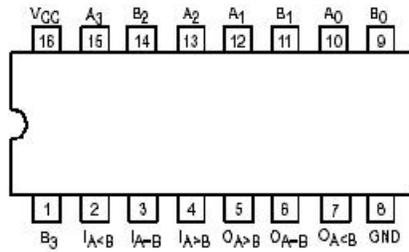


Figura 9: Comparador 74LS85.

4.8. Restador

En lugar de restar directamente n_c , se suma su complemento a dos. Para esto, se invierte bit a bit antes de ingresarlo al sumador para obtener su complemento a uno y luego se le suma uno al carry del sumador. Nuevamente, debido a la longitud de los números en juego, se utilizan tres sumadores de 4 bits cada uno.

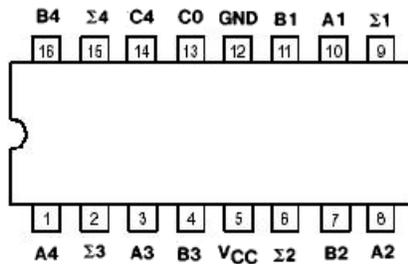


Figura 10: Sumador 74LS83.

4.9. Habilitador J-K

El objetivo de este Flip-Flop J-K es servir de indicador de estado. Un 0 significa que el circuito está realizando cálculos y un 1 significa que el circuito está esperando un nuevo latido para procesar. El estado 1 se alcanza cuando el resultado de la comparación es *menor*. Permanece en este estado para que el circuito sepa que tiene que ignorar los resultados del comparador y el restador que una vez finalizada la cuenta son erróneos. El estado 0 se logra solamente cuando se termina de hacer la cuenta y viene un pulso nuevo.

Para lograr este comportamiento, la entrada **J** está conectada con la salida *menor* del comparador y la entrada **K** está conectada a masa.

J	K	Q_n
0	0	Q_{n-1}
0	1	0
1	0	1
1	1	$\overline{Q_{n-1}}$

Cuadro 1: *Tabla de estados reducida de un Flip-Flop J-K*

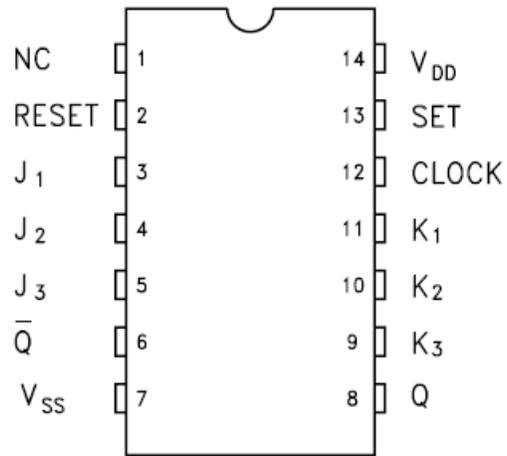


Figura 11: *Flip-Flop J-K 4095.*

4.10. Integración de los módulos aritméticos

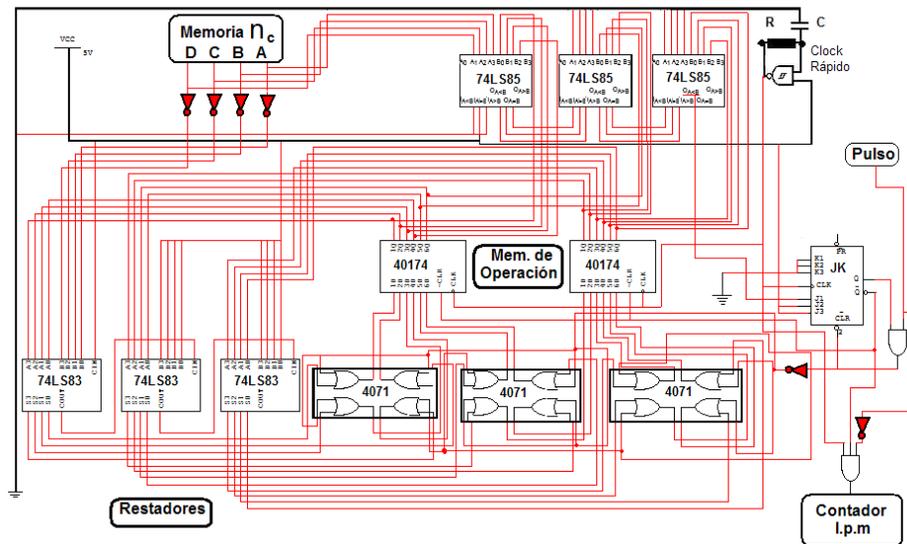


Figura 12: Esquemático donde se muestran los módulos encargados de realizar los cálculos.

4.11. Contador l.p.m.

Este módulo está implementado con tres contadores BCD de 4 bits cada uno. No se utilizaron contadores binarios pues la decodificación de BCD a 7-segmentos es más simple.

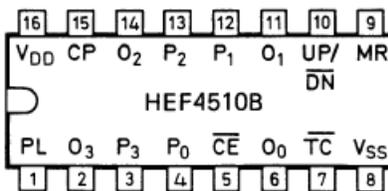


Figura 13: Contador BCD 4510.

4.12. Display

Se utilizaron 3 displays 7-segmentos, de cátodo común, conectados cada uno a un convertor de BCD a 7-segmentos.

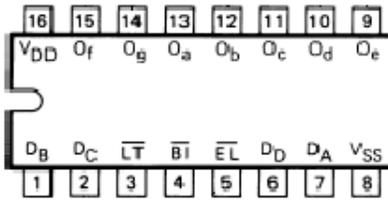


Figura 14: *Convertor BCD a 7-segmentos 4511.*

4.13. Integración de los módulos de salida

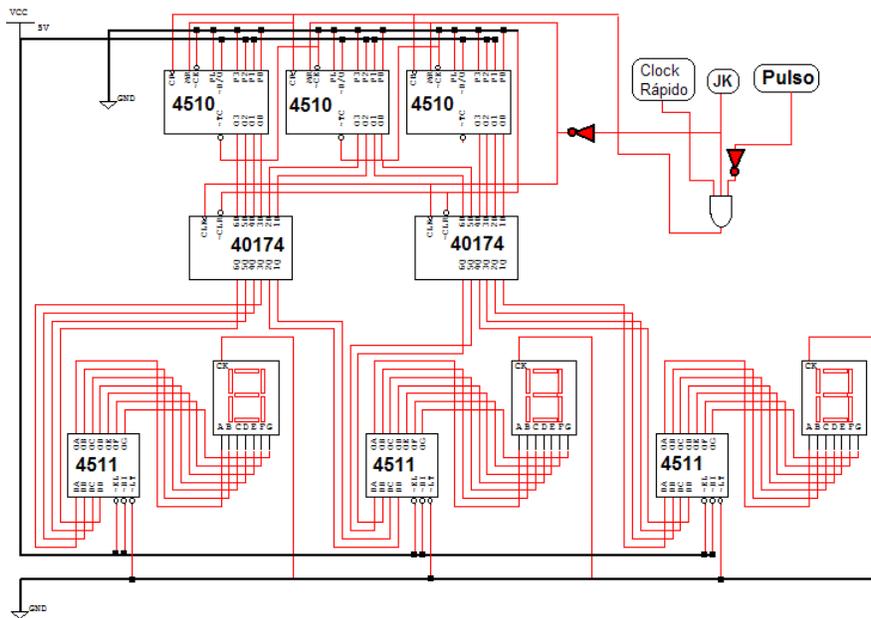


Figura 15: *Esquemático donde se muestran los módulos encargados de mostrar las pulsaciones por minuto.*

5. Errores e incertezas

Una vez construido y probado el circuito, se observaron diferencias significativas entre las frecuencias de prueba simuladas y la medición final de las mismas. Por ejemplo, dada una frecuencia de entrada constante, se aprecia una medida oscilante alrededor del valor esperado. La amplitud de estas oscilaciones crece a medida que se aumenta la frecuencia de entrada. A partir de esto, se realizó un estudio de las posibles fuentes de error:

5.1. Contador n_c

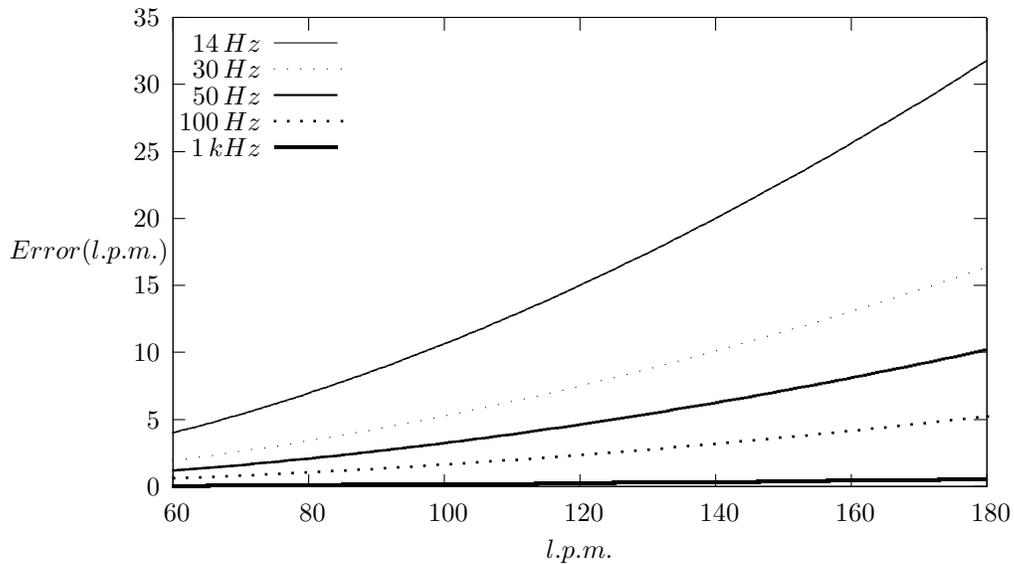
El valor que se espera que se acumule para una frecuencia de entrada $l.p.m.$ determinada, $n_c = \frac{60f_c}{l.p.m.} \frac{1}{Hz}$, puede verse alterado por la imprecisión propia del contador en, por ejemplo, ± 1 . Si comparamos el valor simulado en la entrada con el obtenido luego de la cuenta, considerando el n_c erróneo mencionado anteriormente, obtenemos la siguiente expresión:

$$Error(l.p.m.) = \left| l.p.m. - \frac{60f_c}{n_c + 1} \right|$$

$$Error(l.p.m.) = \left| l.p.m. - \frac{60f_c}{\frac{60f_c}{l.p.m.} + 1} \right|$$

$$Error(l.p.m.) = \left| l.p.m. - \frac{60f_c l.p.m.}{60f_c + l.p.m.} \right|$$

A continuación se ha confeccionado un gráfico de la expresión anterior para 5 valores distintos de f_c :



Como se puede apreciar en el gráfico, el error aumenta con $l.p.m.$. Se ve también que si se elige un valor mayor para f_c , el error disminuye. Es natural pensar que fraccionando el tiempo en partes cada vez más pequeñas, la precisión aumenta. En el caso límite, donde estas particiones serían infinitesimales, se tiene:

$$\begin{aligned} \lim_{f_c \rightarrow \infty} Error(l.p.m.) &= \lim_{f_c \rightarrow \infty} \left| l.p.m. - \frac{60f_c l.p.m.}{60f_c + l.p.m.} \right| = \dots \\ \dots &= \lim_{f_c \rightarrow \infty} \left| l.p.m. - \frac{f_c}{60 + \underbrace{\frac{l.p.m.}{f_c}}_{\rightarrow 0}} \right| = \lim_{f_c \rightarrow \infty} \left| l.p.m. - \frac{60l.p.m.}{60} \right| = \dots \\ \dots &= \lim_{f_c \rightarrow \infty} |l.p.m. - l.p.m.| = 0 \end{aligned}$$

El resultado anterior permite suponer que para frecuencias muy altas el error puede considerarse despreciable.

Es evidente también que para la frecuencia elegida (14 Hz), el error que se produce cuando nos acercamos al límite superior del ritmo cardíaco, se vuelve muy apreciable.

5.2. Módulos aritméticos

Una de las suposiciones iniciales, fue que el tiempo que se tarda en hacer la cuenta es mucho menor que el tiempo entre latidos. Esto se logra sincronizando todo el módulo con un clock c_k de alta frecuencia. Por cada pulso de este clock, se efectúa una resta. Considerando que tienen que hacerse $l.p.m.$ restas, el tiempo total viene dado por:

$$T_{total} = \frac{l.p.m.}{c_k}$$

En el gráfico siguiente, se puede apreciar el tiempo entre latidos $\left(\frac{60s}{l.p.m.}\right)$ y el T_{total} para la frecuencia elegida (500Hz).

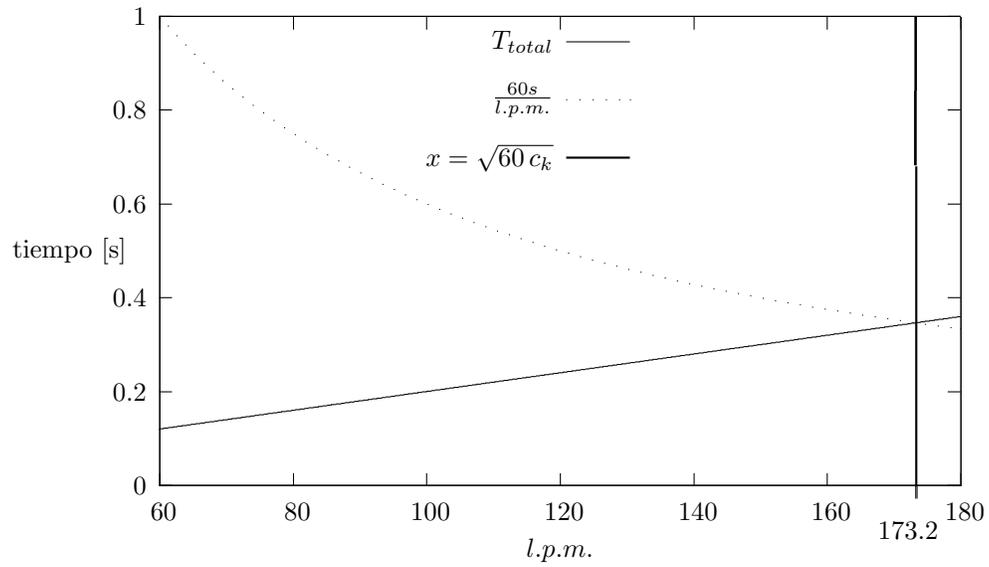


Figura 16: Tiempo entre latidos y de duración de la cuenta

Como bien se observa en el gráfico, a partir de $173,2 \text{ l.p.m.}$, T_{total} supera al tiempo entre latidos; superponiéndose de esta manera el procesamiento de datos con la lectura de los mismos, lo que evidentemente conlleva a una mayor incerteza.

6. Conclusión

La realización de este proyecto constituyó un primer acercamiento a las técnicas digitales. Considerando nuestros básicos conocimientos previos a esta materia, podemos afirmar que hemos colmado muchas de las inquietudes propias de estudiantes que están dando sus primeros pasos en el diseño e implementación de soluciones electrónicas.

Particularmente hablando de la construcción del circuito podemos decir que las múltiples complicaciones, producto de la transición desde lo teórico hacia lo práctico, han sido muy útiles para consolidar el perfil ingenieril necesario para sortear dificultades que requieren más ingenio e imaginación que conocimientos.

Referencias

[wak] Wakerly Digital Design.

[dat] All Datasheet.
[<http://www.alldatasheet.com/>].